

## DATA TRANSMITTER, DATA RECEIVER AND DATA TRANSMITTER- RECEIVER

Publication number: JP2002247013

Publication date: 2002-08-30

Inventor: MURAI NOBUHIRO

Applicant: NEC ACCESS TECHNICA LTD

Classification:

- International: G06F11/10; H03M13/09; H04L1/00; G06F11/10;  
H03M13/00; H04L1/00; (IPC-1-7): H04L1/00; G06F11/10;  
H03M13/09

- European:

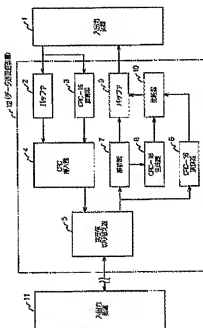
Application number: JP20010041802 20010219

Priority number(s): JP20010041802 20010219

Report a data error here

Abstract of JP2002247013

PROBLEM TO BE SOLVED: To shorten the processing time of data transmission/reception. SOLUTION: The system is provided with a buffer 2 for temporarily storing data serially outputted from an I/O device 1, a CRC-16 computing element 3 for inputting data serially outputted from the I/O device 1 simultaneously with the input of the data to the buffer 2 and calculating the CRC code of the data in each byte and a CRC insertion device 4 for adding the CRC codes calculated by the computing element 3 to the data stored in the buffer 2 and serially outputting these data to an I/O device 11 as transmission data. Since the data reception from the transmitting source I/O device 1 and CRC operation are simultaneously performed like parallel operation, the processing time of data transmission can be shortened.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-247013

(P2002-247013A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データコード <sup>*</sup> (参考)
H 0 4 L 1/00		H 0 4 L 1/00	B 5 B 0 0 1
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 C 5 J 0 6 i
H 0 3 M 13/09		H 0 3 M 13/09	5 K 0 1 4

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2001-41802(P2001-41802)

(22) 出願日 平成13年2月19日 (2001.2.19)

(71) 出願人 00019/366

エヌイーシーアクセスシステム株式会社  
静岡県掛川市下俣800番地

(72) 発明者 村井 恒博

静岡県掛川市下俣800番地 静岡日本電気  
株式会社内

(74) 代理人 100079164

弁理士 高橋 勇

Fターム(参考) 5B001 AA04 AB02 AD07 AE02

5J065 AA01 AB01 AC02 AD04 AE06

AF01 AH06 AI09 AH15

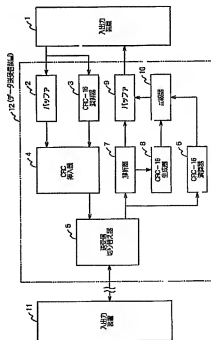
5K014 AA01 BA06 EA01 FA11

(54) 【発明の名称】 データ送信装置、データ受信装置及びデータ送受信装置

(57) 【要約】

【課題】 データ送受信の処理時間を短縮する。

【解決手段】 入出力装置1からシリアル出力されたデータを一時的に保管するバッファ2と、入出力装置1からシリアル出力されたデータをバッファ2と同時に入力するとともに、当該データについて1バイトずつCRC符号を演算するCRC-16演算器3と、バッファ2に保管されたデータにCRC-16演算器3で演算されたCRC符号を付加し、これらを送信データとして入出力装置11へシリアル出力するCRC挿入器4とを備えている。送信元の入出力装置1からのデータ受信とCRC演算とを同時かつ並列的に処理することにより、データ送信の処理時間を短縮できる。



## 【特許請求の範囲】

【請求項1】 第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる送信データを当該第一の入出力装置から第二の入出力装置へシリアル送信するデータ送信装置において、

前記第一の入出力装置からシリアル出力されたデータを一時的に保管するバッファと、

前記第一の入出力装置からシリアル出力されたデータを前記バッファと同時に入力するとともに、当該データについて1バイトずつ入力する度にCRC符号を演算するCRC演算器と、

前記バッファに保管されたデータに前記CRC演算器で演算されたCRC符号を付加し、これらを前記送信データとして前記第二の入出力装置へシリアル出力するCRC挿入器と、

を備えたことを特徴とするデータ送信装置。

【請求項2】 第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる受信データを第二の入出力装置から当該第一の入出力装置にシリアル受信するデータ受信装置において、

前記第二の入出力装置からシリアル出力された前記受信データの終端を検出する解析器と、

前記第二の入出力装置からシリアル出力された前記受信データを前記解析器と同時に入力するとともに、当該受信データについて1バイトずつ入力する度にCRC符号を演算して出力するCRC演算器と、

前記解析器で終端が検出された受信データに含まれるCRC符号に対して更にCRC符号を演算して付加し、これらを入力するCRC生成器と、

前記解析器で終端が検出された受信データに含まれるデータを一時的に保管するバッファと、

前記CRC演算器からの出力結果と前記CRC生成器からの出力結果とを比較し、これらが一致した場合に前記バッファに保管されたデータを前記第一の入出力装置へシリアル出力させる比較器と、

を備えたことを特徴とするデータ受信装置。

【請求項3】 第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる送信データ並びに受信データを当該第一の入出力装置と第二の入出力装置との間でシリアル送受信するデータ送受信装置において、

前記第一の入出力装置からシリアル出力されたデータを一時的に保管する送信用バッファと、

前記第一の入出力装置からシリアル出力されたデータを前記送信用バッファと同時に入力するとともに、当該データについて1バイトずつ入力する度にCRC符号を演算する送信用CRC演算器と、

前記送信用バッファに保管されたデータに前記送信用CRC演算器で演算されたCRC符号を付加し、これらを前記送信データとして前記第二の入出力装置へシリアル

出力するCRC挿入器と、

前記第二の入出力装置からシリアル出力された前記受信データの終端を検出する解析器と、

前記第二の入出力装置からシリアル出力された前記受信データを前記解析器と同時に入力するとともに、当該受信データについて1バイトずつ入力する度にCRC符号を演算して出力する受信用CRC演算器と、

前記解析器で終端が検出された受信データに含まれるCRC符号に対して更にCRC符号を演算して付加し、これらを入力するCRC生成器と、

前記解析器で終端が検出された受信データに含まれるデータを一時的に保管する受信用バッファと、

前記受信用CRC演算器からの出力結果と前記CRC生成器からの出力結果とを比較し、これらが一致した場合に前記受信用バッファに保管されたデータを前記第一の入出力装置へシリアル出力させる比較器と、を備えたことを特徴とするデータ送受信装置。

【請求項4】 前記CRCがCRC-16である、請求項1記載のデータ送信装置。

【請求項5】 前記CRCがCRC-16である、請求項2記載のデータ受信装置。

【請求項6】 前記CRCがCRC-16である、請求項3記載のデータ送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CRC (cyclic redundancy check: 巡回冗長検査) を用いたデータ送信装置、データ受信装置及びデータ送受信装置に関する。

【0002】

【従来の技術】IrDA (Infrared Data Association) とは、赤外線を利用した無線データ通信の標準化及び普及を目的とする団体、並びにそこで標準化された赤外線通信の標準規格をいう。近年、このIrDAポートを備えた電子機器、例えばパーソナルコンピュータ、プリンタ、デジタルスチルカメラ、PDA (携帯情報通信端末)、携帯電話機等が開発されている。IrDAの規格は、物理層とソフトウェア層とからなる。物理層規格とは、放射光のピーク波長、放射光強度、受光感度、通信距離、データ送信速度等に関するものである。一方、ソフトウェア層は、プロトコルスタック4層 (IrLAP, IrLMP, Tiny-TP, IrCOMM) からなる。これらのうちのIrLAP (Serial Infrared Link Access Protocol) とは、ハードウェアを使って相手とシリアル通信を行なうリンクアクセスプロトコルである。例えば、このIrLAPに、CRCを用いたデータ送受信技術が用いられている。

【0003】CRCを用いた一般的なデータ送受信技術とは、次のようなものである。送信側では、データを1と0とからなる高次多項式とみなし、これを予め決められた生成多項式で割り、その剰余をCRC符号としてデ

ータの最後に付けて送信する。受信側では、(データ+CRC符号)を送信側と同じ生成多項式で割り、剰余がなくなれば送信が誤りなく成功したと判断する。以下、(データ+CRC符号)を「フレーム」という。なお、データは複数のバイトからなる。

【0004】一方、IrLAP(以下「従来技術」という。)では、CRCを用いた一般的なデータ送受信技術に改良を加え、データとCRC符号が一对一に対応したテーブルを予め用意することにより、高速処理化を図っている。そして、送信側では、1フレーム分のデータを用意した後、テーブルを参照して1バイトずつデータとCRC符号とが一致するか否かを判断し、これらが一致すれば正しいデータとして入力する。

【0005】

【発明が解決しようとする課題】しかしながら、従来技術では、送信時に1フレーム分のデータを全て用意した後、又は受信時に1フレーム分のデータを全て受信した後、前述のCRC演算を実行していた。そのため、CRCを用いたデータ送受信には、(送受信に要する時間+CRC演算に要する時間)が必要であった。これが、高速処理化の妨げになっていた。

【0006】

【発明の目的】そこで、本発明の目的は、データ送受信の処理時間を短縮することができる。データ送信装置、データ受信装置及びデータ送受信装置を提供することにある。

【0007】

【課題を解決するための手段】本発明に係るデータ送信装置は、第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる送信データを第一の入出力装置から第二の入出力装置へシリアル送信するものである。そして、第一の入出力装置からシリアル出力されたデータを一時的に保管するバッファと、第一の入出力装置からシリアル出力されたデータをバッファと同時に入力するとともに、当該データについて1バイトずつ入力する度にCRC符号を演算するCRC演算器と、バッファに保管されたデータにCRC演算器で演算されたCRC符号を付加し、これらを送信データとして第二の入出力装置へシリアル出力するCRC挿入器とを備えている。

【0008】従来技術では、送信元の入出力装置から1フレーム分のデータを全て受信した後、そのデータに対してCRC演算を実行していた。すなわち、データ受信とCRC演算とを並列的に処理していた。これに対し、本発明では、1バイト分のデータを受信したら、その都度CRC符号を演算する。すなわち、データ受信とCRC演算とを並列的に処理することにより、データ送信の

処理時間が短縮される。

【0009】本発明に係るデータ受信装置は、第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる受信データを第二の入出力装置から第一の入出力装置にシリアル受信するものである。そして、第二の入出力装置からシリアル出力された受信データの終端を検出する解析器と、第二の入出力装置からシリアル出力された受信データを解析器と同時に入力するとともに、受信データについて1バイトずつ入力する度にCRC符号を演算して出力するCRC演算器と、解析器で終端が判断された受信データに含まれるCRC符号に対して更にCRC符号を演算して付加し、これらを出力するCRC生成器と、解析器で終端が検出された受信データに含まれるデータを一時的に保管するバッファと、CRC演算器からの出力結果とCRC生成器からの出力結果とを比較し、これらが一致した場合にバッファに保管されたデータを第一の入出力装置へシリアル出力させる比較器とを備えている。

【0010】従来技術では、送信元の入出力装置から1フレーム分のデータを全て受信した後、そのデータに対してCRC演算を実行していた。すなわち、データ受信とCRC演算とを並列的に処理していた。これに対し、本発明では、1バイト分のデータを受信したら、その都度CRC符号を演算する。すなわち、データ受信とCRC演算とを並列的に処理することにより、データ受信の処理時間が短縮される。

【0011】本発明に係るデータ送受信装置は、本発明に係るデータ送信装置と本発明に係るデータ受信装置とを備えたものであり、第一の入出力装置に設けられるとともに、データ及びそのCRC符号からなる送信データ並びに受信データを第一の入出力装置と第二の入出力装置との間でシリアル送受信するものである。そして、第一の入出力装置からシリアル出力されたデータを一時的に保管する送信用バッファと、第一の入出力装置からシリアル出力されたデータを送信用バッファと同時に入力するとともに、当該データについて1バイトずつ入力する度にCRC符号を演算する送信用CRC演算器と、送信用バッファに保管されたデータに送信用CRC演算器で演算されたCRC符号を付加し、これらを送信データとして第二の入出力装置へシリアル出力するCRC挿入器と、第二の入出力装置からシリアル出力された受信データの終端を検出する解析器と、第二の入出力装置からシリアル出力された受信データを前記解析器と同時に入力するとともに、当該受信データについて1バイトずつ入力する度にCRC符号を演算して出力する受信用CRC演算器と、解析器で終端が判断された受信データに含まれるCRC符号に対して更にCRC符号を演算して付加し、これらを出力するCRC生成器と、解析器で終端が検出された受信データに含まれるデータを一時的に保管する受信用バッファと、受信用CRC演算器からの出

力結果とCRC生成器からの出力結果とを比較し、これらが一致した場合に受信用バッファに保管されたデータを第一の入出力装置へシリアル出力させる比較器とを備えている。

【0012】従来技術では、送信元の入出力装置から1フレーム分のデータを全て受信した後、そのデータに対してCRC演算を実行していた。すなわち、データ受信とCRC演算とを並列的に処理していた。これに対し、本発明では、1バイト分のデータを受信したら、その都度CRC符号を演算する。すなわち、データ受信とCRC演算とを並列的に処理することにより、データ送受信の処理時間が短縮される。

【0013】また、CRCはCRC-16としてもよい。CRC-16とは、CRCの一種であり、前述のIRLAPなどに用いられる。CRC-16の生成多項式 $G(x)$ は、 $G(x) = x^{16} + x^{12} + x^5 + 1$ で与えられる。

【0014】

【発明の実施の形態】図1は、本発明に係るデータ送受信装置の一実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0015】本実施形態のデータ送受信装置12は、入出力装置1に接続されるとともに、データ及びそのCRC符号からなる送信データ並びに受信データを入出力装置1と入出力装置11との間でシリアル送受信するものである。そして、入出力装置1からシリアル出力されたデータを一時的に保管するバッファ2と、入出力装置1からシリアル出力されたデータをバッファ2と同時に入力するとともに、当該データについて1バイトずつ入力する度にCRC符号を演算するCRC-16演算器3と、バッファ2に保管されたデータにCRC-16演算器3で演算されたCRC符号を付加し、これらを送信データとして入出力装置11へシリアル出力するCRC挿入器4と、入出力装置11からシリアル出力された受信データの終端を検出する解析器7と、入出力装置11からシリアル出力された受信データを解析器7と同時に入力するとともに、当該受信データについて1バイトずつ入力する度にCRC符号を演算して出力するCRC-16演算器6と、解析器7で終端が判断された受信データに含まれるCRC符号に対して更にCRC符号を演算して付加し、これらを入力するCRC-16生成器8と、解析器7で終端が検出された受信データに含まれるデータを一時的に保管するバッファ9と、CRC-16演算器6からの出力結果とCRC-16生成器8からの出力結果とを比較し、これらが一致した場合にバッファ9に保管されたデータを入出力装置11へシリアル出力させる比較器10とを備えている。また、データ送受信装置12には、送信と受信とを切り替える送受信切り替え器5が設けられている。

【0016】従来技術では、入出力装置1又は入出力装

置11から1フレーム分のデータを全て受信した後、そのデータに対してCRC演算を実行していた。すなわち、データ受信とCRC演算とを直列的に処理していた。これに対し、本実施形態のデータ送受信装置12によれば、1バイト分のデータを受信したらその都度CRC符号を演算することにより、データ受信とCRC演算とを並列的に処理できるので、データ送受信の処理時間が短縮される。

【0017】入出力装置1、11は、例えばパーソナルコンピュータ、プリンタ、デジタルスチルカメラ、PDA、携帯電話機などである。データ送受信装置12の主要部は、例えばDSP又はそれと同等の機能を有する電子回路によって実現されている。バッファ2、9は、正確にはバッファレジスタ又はバッファメモリといい、入出力装置1、11からのデータを一時的に保管する。CRC-16演算器3、6及びCRC-16生成器8は、CRC-16に基づき演算された、データとCRC符号との対応関係を示すテーブルを備えている。すなわち、このテーブルとは、1バイトのデータ0x00~0xFFを多項式で割った剰余テーブルである。CRC挿入器4は、CRC-16演算器3の出力結果をバッファ2のデータの最後へ挿入する。送受信切り替え器5は、入出力装置1から入出力装置11への送信と、入出力装置11から入出力装置1への受信とを切り替える。解析器7は、入出力装置11からの受信データの終端（最終）を、その受信データに含まれるコードによって判断する。そして、最終であった場合、CRC-16生成器8によって、比較用のCRC-16符号が生成される。比較器10は、CRC-16生成器8の出力結果とCRC-16演算器6の出力結果とが一致すれば、正常データと判断する。そして、バッファ9に一次的に保管されているデータが、入出力装置11へ出力される。

【0018】図2は、送受信データの構造を示す概念図である。以下、この図面に基づき説明する。

【0019】送受信データは、本来のデータであるデータAと、そのCRC符号であるデータB、Cとからなる。データAは複数のバイトからなる。データBは、データAのCRC-16演算結果の例えば上位8ビット（1バイト）である。データCは、データAのCRC-16演算結果の例えば下位8ビット（1バイト）である。

【0020】図3は、図1のデータ送受信装置におけるデータ送信時の動作を示すフローチャートである。以下、図1乃至図3に基づき説明する。

【0021】入出力装置1から入出力装置11へデータAを送信する場合、入出力装置1からのデータAはバッファ2及びCRC-16演算器3の両方へ同時に入力される。CRC-16演算器3は、CRC-16演算を行う（ステップA1）。具体的には、データAについて1バイトずつテーブルを参照し、対応するCRC-16符号であるデータB、Cを求める。続いて、CRC挿入器4

は、データAに付加されたコードに基づき、データAの終端（最終）を調べる（ステップA2）。最終の場合、CRC-16演算器3における演算結果であるデータB、CをデータAへ挿入する（ステップA3）。そして、データA、B、Cが送受信切り替え器5を通過して入出力装置11へ送信される。なお、テーブルについては、例えばIrLAPの規格書に記載されているので、説明を省略する。

【0022】図4は、図1のデータ送受信装置におけるデータ受信時の動作を示すフローチャートである。以下、図1、図2及び図4に基づき説明する。

【0023】入出力装置11から入出力装置1にデータAを受信する場合、入出力装置11からの受信データ（データA、B、C）は、送受信切り替え器5を通過して、解析器7及びCRC-16演算器6の両方へ同時に入力される。すると、CRC-16演算器6はCRC16演算を行う（ステップB1及び図2）。具体的には、データA、B、Cについて1バイトずつテーブルを参照し、対応するCRC16符合であるデータA'、B'、C'を求める。一方、解析器7は、受信データに付加されたコードに基づき、受信データの終端（最終）を調べる（ステップB2）。最終の場合、CRC16生成器8は比較用CRC16符合を生成する（ステップB3及び図2）。具体的には、データB、Cについて1バイトずつテーブルを参照し、対応するCRC16符合であるデータB'、C'を求める。データB、CにデータB'、C'を付加して出力する。続いて、比較器10によって、CRC-16演算器6の出力結果（データA'、B'、C'）とCRC16生成器8の出力結果（データB、C、B'、C'）とを比較する（ステップB4）。これらが一致した場合、バッファ9に一時的に保管されたデータを入出力装置1へ渡す（ステップB5）。一致しない場合は、不正データと判断し、そのデータを廃棄する（ステップB6）。なぜなら、受信データが正常であれば、（データA'）=（データB、C）となるから

である。

【0024】

【発明の効果】本発明に係るデータ送信装置によれば、送信元の入出力装置からのデータ受信とCRC演算とを同時かつ並列的に処理することにより、データ送信の処理時間を短縮できる。

【0025】本発明に係るデータ受信装置によれば、送信元の入出力装置からのデータ受信とCRC演算とを同時かつ並列的に処理することにより、データ受信の処理時間を短縮できる。

【0026】本発明に係るデータ送受信装置によれば、送信元の入出力装置からのデータ受信とCRC演算とを同時かつ並列的に処理することにより、データ送受信の処理時間を短縮できる。

【図面の簡単な説明】

【図1】本発明に係るデータ送受信装置の一実施形態を示すブロック図である。

【図2】送受信データの構造を示す概念図である。

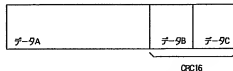
【図3】図1のデータ送受信装置におけるデータ送信時の動作を示すフローチャートである。

【図4】図1のデータ送受信装置におけるデータ受信時の動作を示すフローチャートである。

【符号の説明】

- 1 入出力装置（第一の入出力装置）
- 2 バッファ（送信用バッファ）
- 3 CRC-16演算器（送信用CRC演算器）
- 4 CRC挿入器
- 7 解析器
- 6 CRC-16演算器（受信用CRC演算器）
- 8 CRC-16生成器（CRC生成器）
- 9 バッファ（受信用バッファ）
- 10 比較器
- 11 入出力装置（第二の入出力装置）
- 12 データ送受信装置

【図2】



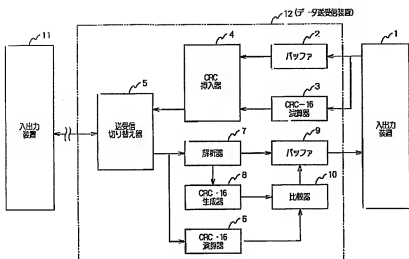
※データBは：データAのCRC16演算結果の上位8bit

※データCは：データAのCRC16演算結果の下位8bit

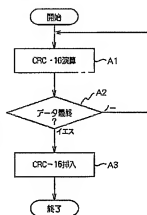
ステップB1の結果＝データA、B、CのCRC16演算結果

ステップB3の結果＝CRC16＋（データB、データC）のCRC16演算結果

【图1】



【图3】



【图4】

